

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as Express Mail, Airbill No. EV323776802US, in an envelope addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: July 9, 2003

Signature: 

Docket No.: 29926/39502  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Won-Ho Lee

Application No.: Not Yet Assigned

Group Art Unit: Not Yet Assigned

Filed: July 9, 2003 (concurrently herewith)

Examiner: Not Yet Assigned

For: METHOD FOR ISOLATING HYBRID  
DEVICE IN IMAGE SENSOR

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Korean Application No. 2002-42650, filed July 19, 2002, upon which priority of the above-captioned application is claimed under 35 U.S.C. 119.

Dated: July 9, 2003

Respectfully submitted,

By Marla L. Hudson  
Marla L. Hudson  
Registration No.: 43,680  
MARSHALL, GERSTEIN & BORUN  
233 S. Wacker Drive, Suite 6300  
Sears Tower  
Chicago, Illinois 60606-6357  
(312) 474-6300  
Attorneys for Applicant

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0042650  
Application Number

출원년월일 : 2002년 07월 19일  
Date of Application JUL 19, 2002

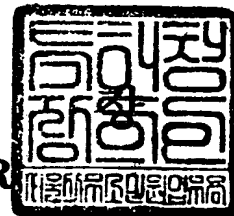
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    05    월    14    일

특    허    청

COMMISSIONER



|            |   |            |  |
|------------|---|------------|--|
| 【서류명】      | 특허출원서   |            |  |
| 【권리구분】     | 특허  |            |  |
| 【수신처】      | 특허청장  |            |  |
| 【참조번호】     | 0111  |            |  |
| 【제출일자】     | 2002.07.19  |            |  |
| 【발명의 명칭】   | 이미지센서의 하이브리드 소자분리 방법                                  |            |  |
| 【발명의 영문명칭】 | Hybrid isolation method for Image sensor              |            |  |
| 【출원인】      |   |            |  |
| 【명칭】       | 주식회사 하이닉스반도체  |            |  |
| 【출원인코드】    | 1-1998-004569-8                                       |            |  |
| 【대리인】      |   |            |  |
| 【명칭】       | 특허법인 신성   |            |  |
| 【대리인코드】    | 9-2000-100004-8                                       |            |  |
| 【지정된변리사】   | 변리사 정지원, 변리사 원석희, 변리사 박해천                             |            |  |
| 【포괄위임등록번호】 | 2000-049307-2   |            |  |
| 【발명자】      |   |            |  |
| 【성명의 국문표기】 | 이원호   |            |  |
| 【성명의 영문표기】 | LEE, Won Ho   |            |  |
| 【주민등록번호】   | 720807-1182513  |            |  |
| 【우편번호】     | 156-090   |            |  |
| 【주소】       | 서울특별시 동작구 사당동 105번지 신동아아파트 407-1408                   |            |  |
| 【국적】       | KR  |            |  |
| 【취지】       | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인<br>특허법인 신성     (인) |            |  |
| 【수수료】      |   |            |  |
| 【기본출원료】    | 17       면  | 29,000   원 |  |
| 【가산출원료】    | 0       면   | 0       원  |  |
| 【우선권주장료】   | 0       건   | 0       원  |  |
| 【심사청구료】    | 0       항   | 0       원  |  |
| 【합계】       | 29,000   원  |            |  |
| 【첨부서류】     | 1. 요약서·명세서(도면) 1통                                     |            |  |

**【요약서】****【요약】**

본 발명은 이미지센서의 제조방법에 관한 것으로 특히, 암전류 특성을 향상시킨 이미지센서의 제조방법에 관한 것이다. 이를 위한 본 발명은 포토다이오드를 포함하는 이미지센서의 제조방법에 있어서, 기판상에 패드산화막과 패드질화막을 차례로 형성하고 이를 선택적으로 제거하여 필드절연막이 형성될 기판 표면을 노출시키는 단계; 상기 패드질화막을 마스크로 하여 상기 노출된 기판에 채널스톱 이온주입을 실시하고 필드절연막을 형성하는 단계; 상기 패드질화막의 일측이 상기 필드절연막의 엣지와 일정거리를 두고 이격되도록 상기 패드질화막을 제거하는 단계; 및 상기 패드질화막을 마스크로 하여 노출된 기판표면과 상기 필드절연막상에 이온주입을 실시하는 단계를 포함하여 이루어진다.

**【대표도】**

도 4b

**【색인어】**

이미지센서, 암전류, 소자분리, 보론, STI, LOCOS

**【명세서】****【발명의 명칭】**

이미지센서의 하이브리드 소자분리 방법{Hybrid isolation method for Image sensor}

**【도면의 간단한 설명】**

도1은 통상의 이미지센서에서 포토다이오드의 면적과 포토다이오드의 둘레길이의 비율을 도시한 도면,

도2a 내지 도2d는 본 발명의 일실시예에 이미지센서에서 소자분리 공정을 도시한 단면도,

도3은 트렌치구조의 소자분리기술에 본 발명을 적용한 경우를 도시한 단면도,

도4a는 본 발명의 일실시예에 따른 시모스 이미지센서의 단위화소에서 포토다이오드와 트랜스퍼트랜지스터의 레이아웃을 도시한 평면도,

도4b는 본 발명의 일실시예에 따라 형성된 이미지센서의 단위화소 중 포토다이오드 영역과 트랜스터 트랜지스터를 도시한 단면도.

\*도면의 주요부분에 대한 부호의 설명\*

10 : 기판    11 : 패드산화막

12 : 패드질화막    13 : 감광막

14 : 감광막    20 : 기판

21 : 절연막    30 : 기판



31 : 필드절연막 32 : 채널스톱이온주입영역 및 보론이온주입영역

33 : 게이트전극 34 :  $n^-$  이온주입영역

35 : 스페이서 36 :  $p^0$  이온주입영역

37 : 플로팅확산영역

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 이미지센서에 관한 것으로 특히, 하이브리드 소자분리 기술을 채용하여 암전류를 감소시킨 이미지센서에 관한 것이다.
- <16> 일반적으로, 이미지센서라 함은 광학 영상(optical image)을 전기 신호로 변환시키는 반도체소자로서, 이 중에서 전하결합소자(CCD : charge coupled device)는 개개의 MOS(Metal-Oxide-Silicon) 커패시터가 서로 매우 근접한 위치에 있으면서 전하 캐리어가 커패시터에 저장되고 이송되는 소자이며, 시모스(Complementary MOS) 이미지센서는 제어회로(control circuit) 및 신호처리회로(signal processing circuit)를 주변회로로 사용하는 CMOS 기술을 이용하여 화소수 만큼의 MOS트랜지스터를 만들고 이것을 이용하여 차례차례 출력(output)을 검출하는 스위칭 방식을 채용하는 소자이다.
- <17> CCD(charge coupled device)는 구동 방식이 복잡하고 전력소모가 많으며, 마스크 공정 스텝수가 많아서 공정이 복잡하고 시그널 프로세싱 회로를 CCD 칩내에 구현 할 수 없어 원칩(One Chip)화가 곤란하다는 등의 여러 단점이 있는 바, 최근에 그러한 단점을

극복하기 위하여 서브-마이크론(sub-micron) CMOS 제조기술을 이용한 CMOS 이미지센서의 개발이 많이 연구되고 있다. CMOS 이미지센서는 단위 화소(Pixel) 내에 포토다이오드와 MOST랜지스터를 형성시켜 스위칭 방식으로 차례로 신호를 검출함으로써 이미지를 구현하게 되는데, CMOS 제조기술을 이용하므로 전력 소모도 적고 마스크 수도 20개 정도로 30~40개의 마스크가 필요한 CCD 공정에 비해 공정이 매우 단순하며 여러 신호 처리 회로와 원칩화가 가능하여 차세대 이미지센서로 각광을 받고 있다.

<18> 이와 같은, 종래의 이미지센서에서는 암전류에 의한 성능저하와 전하저장능력의 감소가 문제점으로 지적되었는데 암전류에 대해 설명하면 다음과 같다.

<19> 암전류란 빛이 전혀 없는 상태에서도 포토다이오드에서 플로팅확산영역으로 이동하는 전자에 기인하는 것으로, 이러한 암전류는 주로 활성영역의 엣지 부분에 존재하는 각종 결함들(line defect, point defect, etc)이나 땀글링 본드(Dangling bond)에서 비롯된다고 보고되고 있으며, 암전류는 저조도(low illumination) 환경에서는 심각한 문제를 야기할 수도 있다.

<20> 소자의 선폭이  $0.35\mu\text{m}$  또는  $0.25\mu\text{m}$  인 미세 테크놀로지를 적용한 시모스 이미지센서의 경우에는 포토다이오드의 면적이 감소하기 때문에, 포토다이오드 영역의 면적에 대한 포토다이오드영역의 둘레길이의 비율이 감소한다.

<21> 도1은 포토다이오드(Photo Diode)의 면적이 감소함에 따라 포토다이오드의 면적과 포토다이오드의 주변길이의 비가 감소하고 있음을 도시한 도면으로, 포토다이오드는 3면(트랜스퍼트랜지스터가 형성될 면은 제외하고 포토다이오드의 둘레길이를 계산한다.)이 필드절연막과 접하고 있기 때문에, 소자가 미세화되어 포토다이오드의 면적이 감소할 수

록 필드절연막의 엣지부분에서 발생한 결함으로 인한 암전류의 영향을 더욱 더 많이 받게 된다.

- <22> 이러한 경향은  $0.25\mu\text{m}$  또는  $0.18\mu\text{m}$  등 최소선폭이 감소할수록 이미지신호에 대한 암전류의 비중이 점점 더 증가함을 보여준다.(하이테크놀로지 시모스 이미지센서일 수록 암전류에 더욱 취약함.)

【발명이 이루고자 하는 기술적 과제】

- <23> 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 포토다이오드의 면적이 감소하더라도 암전류 특성을 향상시킨 이미지센서의 소자분리 방법을 제공함을 그 목적으로 한다.

【발명의 구성 및 작용】

- <24> 상기한 목적을 달성하기 위한 본 발명은, 포토다이오드를 포함하는 이미지센서의 제조방법에 있어서, 기판상에 패드산화막과 패드질화막을 차례로 형성하고 이를 선택적으로 제거하여 필드절연막이 형성될 기판 표면을 노출시키는 단계; 상기 패드질화막을 마스크로 하여 상기 노출된 기판에 채널스톱 이온주입을 실시하고 필드절연막을 형성하는 단계; 상기 패드질화막의 일측이 상기 필드절연막의 엣지와 일정거리를 두고 이격되도록 상기 패드질화막을 제거하는 단계; 및 상기 패드질화막을 마스크로 하여 노출된 기판표면과 상기 필드절연막상에 이온주입을 실시하는 단계를 포함하여 이루어진다.



- <25> 본 발명은 전통적인 열산화막 성장공정과 안티도핑(anti-doping)된 활성영역이 혼합된 하이브리드(hybrid) 소자격리(isolation)에 의해 암전류의 소스인 결함의 밀도가 현저히 높은 필드절연막의 엣지로부터  $n^-$  이온주입영역을 격리함으로써 결과적으로는 암전류를 효과적으로 억제한 시모스 이미지센서의 소자분리방법에 관한 것이다.
- <26> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.
- <27> 도2a 내지 도2d는 본 발명의 일실시예에 따른 시모스 이미지센서의 소자분리 공정을 도시한 단면도로서 이를 참조하여 설명하면 먼저, 도2a에 도시된 바와 같이 반도체 기판(10) 상에 패드산화막(11), 패드질화막(12), 감광막(13)을 차례로 형성한 후, 필드절연막이 형성될 부분에 대한 소자분리마스크(ISO mask) 공정을 진행한다. 본 발명의 일 실시예에 사용된 반도체 기판(10)은 고농도의 실리콘층 상에 저농도의 에피택셜층이 적층된 구조를 사용할 수도 있다.
- <28> 이와 같이 저농도의 에피택셜층을 사용하는 이유는 포토다이오드의 공핍층 깊이를 증가시켜 특성을 향상시킬 수 있고 또한 고농도의 기판은 단위화소간의 크로스토크(cross talk)를 방지할 수 있기 때문이다.
- <29> 다음으로, 도2b에 도시된 바와 같이 상기 소자분리마스크(13)를 이용하여 패드질화막(12)과 패드산화막(11)을 식각하여 필드절연막이 형성될 기판(10) 표면을 노출시키고 상기 소자분리마스크(13)는 제거한다.

- <30> 이어서, 노출된 패드질화막(12)을 마스크로 하여 반도체 기판(10) 표면에 채널스톱 이온주입공정을 수행하여 채널스톱 이온주입영역(100)을 형성한다. 채널스톱 이온주입은 보론(B<sub>11</sub>)을  $3.0 \times 10^{13} \text{cm}^{-3}$  도즈량과 30keV의 이온주입에너지로 하여 진행된다. 이때 소정의 틸트각이나 회전은 적용되지 않는다.
- <31> 이후에 도2c에 도시된 바와같이 채널스톱 이온주입이 끝난 기판 표면(10)을 열산화시켜 필드절연막(Fox)을 성장시킨다. 이후, 패드질화막(12)을 필드절연막의 엣지로부터 소정거리(x) 만큼 식각해내기 위하여 패드질화막(12) 상에 다시 감광막패턴(14)을 형성한다. 이때 소정거리(x)는  $0.5 \sim 1.0 \mu\text{m}$  인 것이 바람직하다.
- <32> 다음으로 도2d에 도시된 바와 같이, 감광막패턴(14)을 식각마스크로 하여 패드질화막(12)이 필드절연막(Fox)의 엣지로부터 소정거리(x) 만큼 이격되도록 패드질화막(12)을 식각한다. 이어서 상기 식각된 패드질화막(12)을 마스크로 하여 보론 이온주입공정을 진행한다.
- <33> 이때, 수행되는 보론 이온주입은 채널스톱 이온주입과 동일한 조건에서 수행되거나 또는 도즈량을  $4.0 \times 10^{13} \sim 5.0 \times 10^{13} \text{cm}^{-3}$  정도로 하여 수행한다. 이와같은 도즈량에 대해서는, 암전류 특성에 대한 데이터를 피드백(feed back) 받아 최적의 도즈량을 결정할 수 있다.
- <34> 도2d에 도시된 ①영역은 채널스톱 이온주입영역을 나타내고 있으며 ②영역은 추가로 수행된 보론 이온주입에 의해 형성된 이온주입영역이다. 도2d는 이와 같은 추가 이온주입공정을 진행한 이후에 감광막(14)이 제거된 모습을 도시하고 있다.

- <35> 본 발명의 일실시에에 따르면 추가로 수행되는 보론 이온주입영역(50)에 의하여 필드절연막의 엣지부분이 스크린(screen)되기 때문에 암전류 특성을 향상시킬 수 있다. 즉, 필드절연막의 엣지부분에서 발생된 전자들이 보론 이온주입영역(50)의 전자전하재결합(electron hole pair recombination) 현상에 의해 소멸되므로 암전류 소스로 작용하지 못하기 때문이다.
- <36> 도3은 트렌치 구조를 이용한 소자분리 기술에 본 발명을 적용한 경우를 도시한 도면으로 채널스톱 이온주입영역(①)과 추가로 수행된 보론 이온주입영역(②)이 도시되어 있다.
- <37> 트렌치구조의 소자분리영역을 형성하는 공정에 대한 실시예는 다음과 같다. 먼저, 기판(20) 상에 버퍼산화막(미도시)과 패드질화막(미도시)을 차례로 적층하여 형성한 뒤, ios mask를 이용하여 이들을 선택적으로 식각하여 트렌치가 형성될 기판영역을 노출시킨다. 이후에 패드질화막을 식각마스크로 하여 기판에 트렌치를 형성한다. 다음으로, 트렌치를 형성하기 위한 식각공정에서 트렌치 내벽이 손상되므로 이를 보상해주기 위하여 트렌치 내벽을 산화막을 형성하는 공정이 수행된다.
- <38> 이후에 채널스톱 이온주입공정을 실시하여 채널스톱 이온주입층(①)을 형성하고 절연물(21)로 상기 트렌치를 매립한다. 다음으로 상기 절연물(21)을 화학기계연마하여 평탄화한 뒤, 패드질화막의 일측이 상기 절연물로부터 일정거리 이격되도록 패드질화막의 소정부분을 식각한다.
- <39> 이후에 노출된 기판(20)과 절연물(21) 상에 추가로 보론이온주입공정을 진행하여 보론이온주입영역(②)을 형성한다. 다음으로 패드질화막을 제거하면 도3에 도시된 STI(Shallow Trench Isolation) 구조의 소자분리영역이 완성된다.

- <40> 본 발명은 로코스(LOCOS)구조와 같은 통상적인 소자분리 기술이외에도 트렌치구조 또는 PBL(Poly Buffered Locos)기술에도 적용될 수 있다.
- <41> 도4a는 본 발명의 일실시예에 따라 형성된 시모스 이미지센서의 단위화소 중에서 포토다이오드영역과 트랜스터트랜지스터를 도시한 도면으로 필드절연막(미도시)와 접하고 있는 포토다이오드 영역에서 일정거리 이격되어 형성된 보론의 도핑프로파일을 볼 수 있다. 추가로 이온주입된 보론이온주입영역이 필드절연막의 엣지를 감싸고 있으므로, 본 발명에서는  $n^-$  이온주입영역의 크기가 점선표시로 줄어들지 않아도 그와 동일한 암전류 감소 효과를 얻을 수 있다. 또한, 본 발명을 적용하게 되면 암전류 특성의 향상을 위해  $n^-$  이온주입영역의 크기가 감소하지 않아도 되므로 세추레이션(saturation) 전류의 감소를 방지할 수 있다.
- <42> 도4b는 도4a의 A-A' 라인에 따른 단면도로서 기판(30), 상기 기판상에 형성된 필드절연막(31), 상기 필드절연막(31)의 하부에 형성된 채널스톱 이온주입영역(32) 및 상기 필드절연막의 엣지로부터 일정거리 확산된 보론이온주입영역(32), 상기 기판(30) 내에 형성되되 상기 필드산화막(31)의 일측과 접하며 형성된  $n^-$  이온주입영역(34), 상기 기판(30)의 표면과 상기  $n^-$  이온주입영역(34)사이에 형성되되, 일측은 트랜스퍼트랜지스터의 게이트전극(33)의 측면에 형성된 스페이서(35)에 접하고 타측은 보론 이온주입영역(32)과 접하는  $p^0$  이온주입영역(36), 플로팅확산영역(37)이 도시되어 있다.
- <43> 본 발명에서는 도4b에 도시된 바와 같이 필드절연막의 엣지에서 일정거리 확장된 보론이온주입영역이 필드절연막의 엣지를 스크린해주고 있으므로 필드절연막에서 발생한 암전류소스가 포토다이오드영역으로 이동하여 암전류를 발생하는 것을 억제할 수 있다.

<44>       이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

**【발명의 효과】**

<45>       본 발명을 이미지센서에 제조에 적용하게 되면, 미세 소자에서도 하이브리드 소자 격리에 의해 암전류특성을 향상시킬 수 있으며, 또한 암전류 특성향상을 위해 포토다이오드의 영역을 감소시키지 않아도 되므로 새츄레이션 전류의 감소를 방지할 수 있어 보다 정확한 이미지재현이 가능해진다.

**【특허청구범위】****【청구항 1】**

포토다이오드를 포함하는 이미지센서의 제조방법에 있어서,

기판상에 패드산화막과 패드질화막을 차례로 형성하고 이를 선택적으로 제거하여 필드절연막이 형성될 기판 표면을 노출시키는 단계;

상기 패드질화막을 마스크로 하여 상기 노출된 기판에 채널스톱 이온주입을 실시하고 필드절연막을 형성하는 단계;

상기 패드질화막의 일측이 상기 필드절연막의 엣지와 일정거리를 두고 이격되도록 상기 패드질화막을 제거하는 단계; 및

상기 패드질화막을 마스크로 하여 노출된 기판표면과 상기 필드절연막상에 이온주입을 실시하는 단계

를 포함하는 이미지센서의 하이브리드 소자분리 방법.

**【청구항 2】**

제1항에 있어서,

상기 필드절연막의 엣지와 일정거리를 두고 이격되도록 상기 패드질화막을 제거하는 단계에서 일정거리는 0.5 ~ 1.0 $\mu$ m 인 것을 특징으로 하는 이미지센서의 하이브리드 소자분리 방법.

**【청구항 3】**

제1항에 있어서,

상기 이온주입은 보론을 이용하여 수행되는 것을 특징으로 하는 이미지센서의 하이브리드 소자분리 방법.

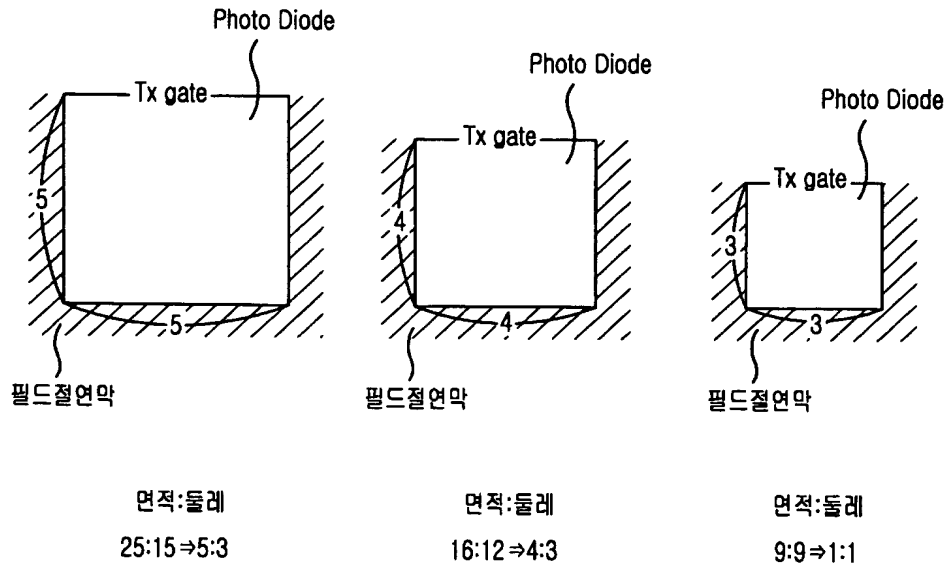
**【청구항 4】**

제3항에 있어서,

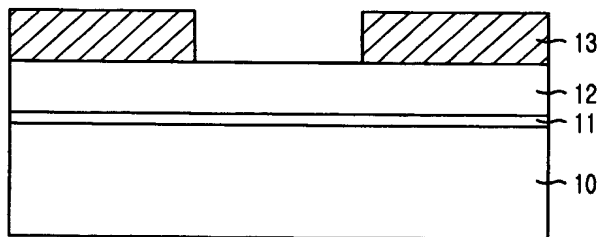
상기 보론을 이용한 이온주입에서 이온주입에너지는 30 KeV이며, 도즈량은  $4.0 \times 10^{13} \sim 5.0 \times 10^{13} \text{ cm}^{-2}$  인 것을 특징으로 하는 이미지센서의 하이브리드 소자분리 방법.

## 【도면】

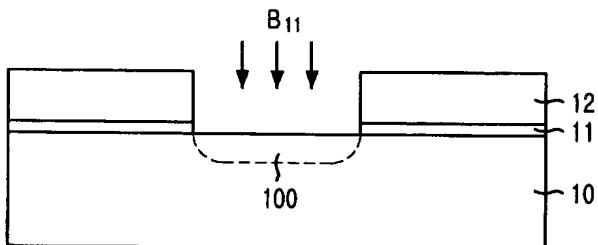
【도 1】



【도 2a】

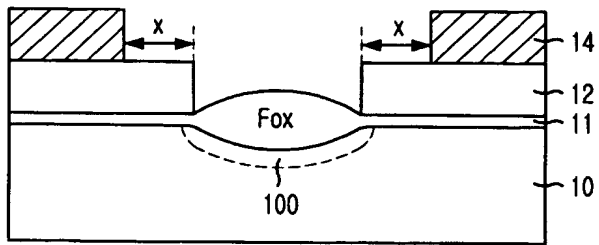


【도 2b】

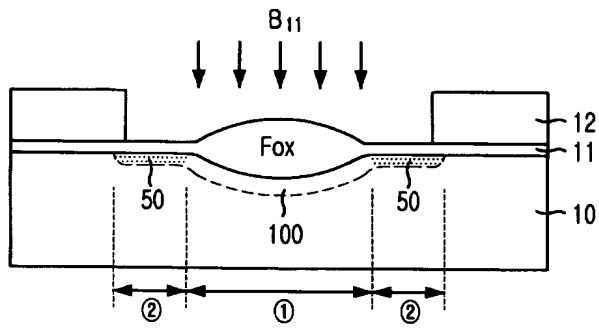




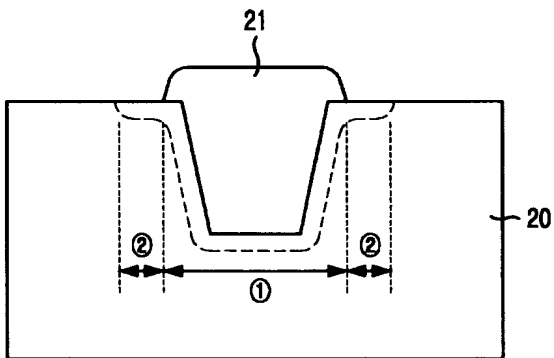
【도 2c】



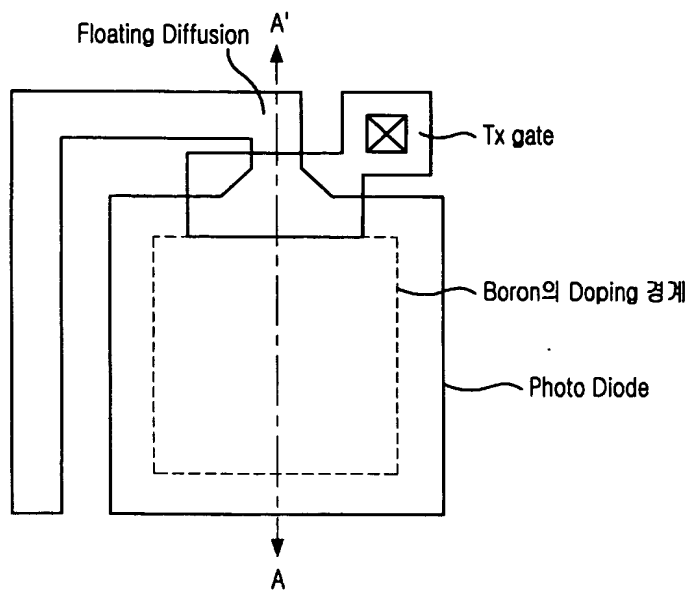
【도 2d】



【도 3】



【도 4a】



【도 4b】

